

Anmeld.



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 199 56 533 A 1**

⑤1 Int. Cl.7:  
**G 01 R 31/3167**  
G 01 R 31/3183

②1 Aktenzeichen: 199 56 533.3  
②2 Anmeldetag: 24. 11. 1999  
④3 Offenlegungstag: 25. 5. 2000

DE 199 56 533 A 1

③0 Unionspriorität:  
10-332573 24. 11. 1998 JP

⑦1 Anmelder:  
Advantest Corp., Tokio/Tokyo, JP

⑦4 Vertreter:  
RA u. PA Volkmar Tetzner; PA Michael Tetzner; RA  
Thomas Tetzner, 81479 München

⑦2 Erfinder:  
Asami, Koji, Fukaya, Saitama, JP

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

⑤4 Halbleiterprüfsystem

⑤7 Die vorliegende Erfindung betrifft ein kostengünstiges und hochauflösendes Prüfsystem für sowohl analoge als auch digitale Funktionen aufweisende Halbleiterbauteile. Das Prüfsystem umfaßt eine Funktionsprüfeinheit zum Prüfen einer digitalen Funktion eines Bauteilprüflings (DUT) durch Zuführen eines Logikprüfmusters zum DUT und Bewerten eines Antwortausgangssignals vom DUT, eine Analogprüfeinheit zum Prüfen einer analogen Funktion des DUT durch Zuführen eines Prüfsignals zum DUT und Bewerten eines analogen Ausgangssignals vom DUT und eine Synchronsteuerungseinheit zur Synchronisierung von Arbeitsvorgängen der Funktionsprüfeinheit und der Analogprüfeinheit, wobei die Analogprüfeinheit die folgenden Bestandteile umfaßt: eine Digitalisierungseinrichtung zur Umwandlung der analogen Ausgangssignale vom DUT, deren Wellenform sich in einer bestimmten Zeitperiode T in einer Vielzahl von Zyklen wiederholt, in ein digitales Signal, wobei ein Abtasttakt zum Abtasten des analogen Ausgangssignals für jeden Zyklus um einen bestimmten Betrag in seiner Phase verschoben wird, und einen Erfassungsspeicher zum Speichern des von der Digitalisierungseinrichtung stammenden digitalen Signals in spezifizierten Adressen.

DE 199 56 533 A 1

Die vorliegende Erfindung betrifft ein Halbleiterprüfsystem zum Prüfen von Halbleiterbauteilen, beispielsweise von integrierten Mischsignal-Schaltungen oder hochintegrierten Mischsignal-Schaltungen, und insbesondere ein Halbleiterprüfsystem mit einer Digitalisierungseinrichtung zur kontinuierlichen Durchführung einer A/D-Umwandlung eines von einem Bauteilprüfling kommenden analogen Signals, wobei die Frequenz der Äquivalenzabtastung bei der A/D-Umwandlung wesentlich erhöht wird.

Beim Prüfen von Halbleiterbauteilen, wie etwa integrierten Schaltungen und hochintegrierten Schaltungen mit Hilfe eines Halbleiterprüfsystems, beispielsweise eines Prüfgeräts für integrierte Schaltungen, werden einer zu prüfenden integrierten Halbleiterschaltung von einem Prüfgerät für integrierte Schaltungen erzeugte Prüfsignale an den entsprechenden Prüfgerätpins (Kanälen) mit einer bestimmten Prüfzeitsteuerung zugeführt. Das Prüfgerät für integrierte Schaltungen empfängt durch die Prüfsignale ausgelöste Ausgangssignale von der zu prüfenden integrierten Schaltung. Die Ausgangssignale werden zum Vergleich mit SOLL-Werten mit Hilfe von Abtastsignalen mit einer vorbestimmten Zeitsteuerung abgetastet, um festzustellen, ob das integrierte Schaltungsbauteil die gewünschten Funktionen fehlerfrei ausführt. Hierbei handelt es sich um einen grundlegenden Vorgang beim Prüfen eines Logikbauteils durch ein Halbleiterprüfsystem.

Ein zu prüfendes Halbleiterbauteil kann sowohl analoge Funktionsblöcke, etwa einen A/D-Wandler und/oder einen D/A-Wandler, als auch digitale Funktionsblöcke umfassen. Ein derartiges Halbleiterbauteil wird gelegentlich als integrierte Mischsignal-Schaltung bezeichnet. Ein Beispiel für eine derartige integrierte Mischsignal-Schaltung ist eine integrierte Halbleiterschaltung, die für Modems, Audio- und/oder Videogeräte etc. bestimmt ist.

Ein Beispiel für ein zum Prüfen derartiger integrierter Mischsignalbauteile verwendeter Halbleiterprüfsysteme (Mischsignal-Prüfsysteme) gemäß dem Stand der Technik ist in den Fig. 4 bis 7 dargestellt. Fig. 4 zeigt einen grundlegenden Aufbau eines herkömmlichen Mischsignal-Prüfsystems, während in den Fig. 5 bis 7 eine im Mischsignal-Prüfsystem verwendete Digitalisierungseinrichtung dargestellt ist. Beim Bauteilprüfling (DUT) handelt es sich um eine integrierte Mischsignalschaltung mit einer analogen und einer digitalen Funktion. Beim Prüfen wird der Bauteilprüfling auf einer Prüfstation angeordnet, wo er Prüfsignale vom Mischsignal-Prüfsystem empfängt und Antwort-Ausgangssignale erzeugt. Das Mischsignal-Prüfsystem gemäß Fig. 4 umfaßt eine Digitalprüfeinrichtung (Funktionsprüfeinheit) und eine Analogprüfeinrichtung (Analogprüfeinheit) sowie eine Synchronsteuerungseinheit 40 zur Synchronisierung der Digitalprüfeinheit und der Analogprüfeinheit.

Die in den Fig. 4 und 5 dargestellte Funktionsprüfeinheit (FTU) umfaßt einen Taktgenerator TG, einen Mustergenerator, beispielsweise in Form eines Algorithmus-Mustergenerators (ALPG) oder eines Sequenzmustergenerators (SQPG), und eine Formatkontrolleinheit (FC). Die Funktionsprüfeinheit (FTU) weist eine große Anzahl von Prüfgerätpins (Kanäle), beispielsweise 256 Pins, auf, die der Anzahl der Anschlußpins des Bauteilprüflings (DUT) entspricht. Am Ausgang der Formatkontrolleinheit FC liefert jeder Prüfgerätpin ein Prüfmuster an den entsprechenden Pin des Bauteilprüflings DUT.

Der Taktgenerator TG erzeugt Taktsignale, beispielsweise einen Geschwindigkeitstakt, zur Synchronisierung der Zeitsteuerung der Funktionsprüfeinheit, und sendet die Taktimpulse zum Mustergenerator SQPG. Der Prüfmuster-

generator SQPG erzeugt auf der Grundlage eines Prüfprogramms entsprechend dem Geschwindigkeitstakt vom Taktgenerator TG ein Prüfmuster. Der Taktgenerator TG erzeugt außerdem Zeitsteuerungsdaten und Wellenformdaten, die in der Formatkontrolleinheit FC zur Erzeugung der Prüfgerätschaltgeschwindigkeiten sowie von Verzögerungszeiten und Wellenformen des Prüfmusters verwendet werden. Das Prüfmuster wird am Ausgang der Formatkontrolleinheit FC durch eine Pinatelektronik PE dem Bauteilprüfling DUT zugeführt.

Die Synchronsteuerungseinheit 40 umfaßt einen Ereignishauptrechner und eine Digital/Analog-Synchronsteuerung, die in der Zeichnung allerdings nicht dargestellt sind. Die Synchronsteuerungseinheit 40 empfängt Signale vom Mustergenerator SQPG und erzeugt sodann ein Startsignal und ein Auslösesignal, die der Analogprüfeinrichtung zugeführt werden. Das Startsignal und das Auslösesignal werden zur Synchronisierung von von der Funktionsprüfeinheit FTU erzeugten Prüfmustern und von der Analogprüfeinheit erzeugten Prüfsignalen sowie der Meßzeitsteuerung in der Analogprüfeinheit verwendet. Zur Erzeugung geeigneter Taktsignale zum Einsatz in der Analogprüfeinrichtung empfängt ein Taktgenerator 48 Taktsignale, etwa den Geschwindigkeitstakt, vom Zeitsteuerungsgenerator TG sowie einen Takt von einem ein zusammengesetztes Signal erzeugenden Generator (SSG) in der Analogprüfeinheit.

Beim Beispiel gemäß Fig. 4 umfaßt die Analogprüfeinheit eine Vielzahl verschiedener Funktionsblöcke, beispielsweise einen digitalen Generator für beliebige Wellenformen (DAW) zur Erzeugung digitaler Wellenformdaten, einen Erfassungsspeicher (AQM) zur Speicherung digitaler Codes eines Ausgangssignals des Bauteilprüflings DUT, einen ein zusammengesetztes Signal erzeugenden Generator (SSG) zur Erzeugung von Signalen mit verschiedenen Frequenzen, einen Wellenformgenerator für beliebige Wellenformen (AWG), eine Digitalisierungseinrichtung zur Umwandlung eines analogen in ein digitales Signal, eine Zeitmeßeinheit (TMU) zur Messung von Zeit-Intervallen und Frequenzen eines empfangenen Signals, einen Präzisionsspannungsgenerator zur Erzeugung einer Referenz-Gleichstromspannung, einen Präzisionsspannungsmesser zur Messung einer Gleichstromspannung, einen digitalen Signalprozessor (DSP) zur digitalen Verarbeitung digitaler Daten und eine Kontrolleinheit zur Gesamtbetriebskontrolle der Analogprüfeinrichtung.

In der Analogprüfeinheit können zur Durchführung der Signalerzeugung und der Signalmessungen in Abhängigkeit vom von der Synchronsteuerungseinheit 40 gelieferten Synchronisierungssignal mehrere Gruppen derartiger Bauelemente vorgesehen sein. Die Analogprüfeinheit und die Anschlußpins des Bauteilprüflings DUT sind durch die Pinatelektronik (PE) miteinander verbunden.

Fig. 5 ist ein Blockschaltbild eines Aufbaus der in der Analogprüfeinheit vorgesehenen Digitalisierungseinrichtung (DGT). Die Digitalisierungseinrichtung DGT gemäß Fig. 5 umfaßt einen Filter (FLT) 60 und einen A/D-Wandler (ADC) 30. Da eine große Zahl verschiedener Ausgangssignale, etwa Hochgeschwindigkeitssignale oder Hochpräzisionswellenformen, vom Bauteilprüfling DUT erzeugt werden, kann der A/D-Wandler 30 aus einer Vielzahl von A/D-Wandlern mit verschiedenen Geschwindigkeits- und Auflösungseigenschaften bestehen. So kann der A/D-Wandler beispielsweise durch eine Kombination aus einem Hochgeschwindigkeits-A/D-Wandler mit 12-Bit-Auflösung und einer Abtastrate von 100 MHz und einem Hochpräzisions-A/D-Wandler mit 26-Bit-Auflösung und einer Abtastrate von 100 KHz gebildet werden.

Beim Filter 60 handelt es sich um einen Signalverken-

nungsfilter, üblicherweise in Form eines Tiefpassfilters, zur Verhinderung von Signalverkennungseffekten im Abtastvorgang. Je nach Abtastfrequenz können wahlweise mehrere derartiger Filter mit unterschiedlicher Passbandfrequenz eingesetzt werden. Üblicherweise entfernt der als SignalverknüpfungsfILTER dienende Filter 30 Frequenzbestandteile, die mehr als 1/2 der Abtastfrequenz  $f_c$  betragen, vom durch die Pinelektronik PE empfangenen Ausgangssignal des Bauteilprüflings DUT. Das Ausgangssignal des Filters 60 wird dem A/D-Wandler 30 zugeführt.

Der A/D-Wandler tastet ein Eingangssignal vom Filter 60 an jeder Flanke des Abtasttakts  $40_{clk}$  ab und wandelt die abgetastete Spannung in ein digitales Signal, d. h. in Code-Daten  $30_s$ , um. Die Code-Daten  $30_s$  werden im Erfassungsspeicher (AQM) 50 entsprechend einem von der Synchronsteuerungseinheit 40 stammendem Speicher-Zeitsteuerungssignal  $47_s$  gespeichert. Die im Erfassungsspeicher (AQM) 50 gespeicherten Daten werden, beispielsweise vom digitalen Signalprozessor (DSP), zur Signalanalyse und Bewertung verwendet.

Da man Daten mit hoher Auflösung durch eine Erhöhung der Anzahl der Abtastpunkte erhalten kann, wird in einer Digitalisierungseinrichtung grundsätzlich eine möglichst hohe Abtastfrequenz verwendet, um sowohl eine hohe Auflösung als auch eine hohe Geschwindigkeit zu erzielen. Um eine Abtastauflösung zu erreichen, die sogar die höchste Abtastfrequenz eines A/D-Wandlers noch übertrifft, wird beim Stand der Technik eine Schaltungsanordnung verwendet, wie sie in Fig. 6 beispielhaft dargestellt ist. Wie sich Fig. 6 entnehmen läßt, werden dabei zur Erhöhung der Gesamtabtastgeschwindigkeit auf die doppelte A/D-Wandler-Geschwindigkeit zwei A/D-Wandler so angeordnet, daß sie in einem Überlappungsmodus arbeiten.

Im einzelnen umfaßt die Digitalisierungseinrichtung gemäß Fig. 6 einen Filter (FLT) 60, einen ersten A/D-Wandler 31, einen zweiten A/D-Wandler 32 und einen Multiplexer 35. Der Filter 60 ist so ausgelegt, daß er für eine Äquivalenzabtastfrequenz  $f_{ce}$ , die doppelt so hoch ist wie eine Abtastfrequenz eines der A/D-Wandler 31 und 32, als ein SignalverknüpfungsfILTER dient. Die Synchronsteuerungseinheit 40 liefert Abtasttakts  $41_{clk}$  und  $42_{clk}$  für den ersten bzw. zweiten A/D-Wandler 31 und 32. Die Synchronsteuerungseinheit 40 sendet zudem einen Rechteckwellentakt  $45_s$  zum Multiplexer 35 und ein Speicher-Zeitsteuerungssignal  $47_s$  zum Erfassungsspeicher 50.

Die Fig. 7A bis 7C zeigen Zeitsteuerungsdiagramme zur Darstellung der Zeitsteuerungsbeziehung zwischen dem ersten und zweiten A/D-Wandler 31 bzw. 32 sowie einer Gesamtabtastrate am Ausgang des Multiplexers 35. Wie sich Fig. 7A entnehmen läßt, tastet der erste A/D-Wandler 31 ein vom Filter 60 kommendes Eingangssignal  $S_i$  mit einem von der Synchronsteuerungseinheit 40 stammenden ersten Abtasttakt  $41_{clk}$  ab, der der höchst möglichen Abtastfrequenz entspricht. Gemäß der Darstellung in Fig. 7B tastet außerdem der zweite A/D-Wandler 32 das vom Filter 60 kommendes Eingangssignal  $S_i$  mit einem von der Synchronsteuerungseinheit 40 stammenden zweiten Abtasttakt  $42_{clk}$  ab, der ebenfalls der höchst möglichen Abtastfrequenz entspricht.

Der Multiplexer 35 empfängt nun die digitalisierten Codes vom ersten und zweiten A/D-Wandler 31 und 32 und wählt zu den Zeitpunkten, an denen die Flanken des Rechtecktaktsignals  $45_s$  jeweils ansteigen bzw. abfallen die Codes abwechselnd aus, wobei das Rechteck-Taktsignal dieselbe Wiederholungsrate aufweist wie die Abtastsignale  $41_{clk}$  und  $42_{clk}$ . Da das Taktsignal  $45_s$  eine Rechteckform besitzt, weist es zwischen zwei beliebigen aufeinanderfolgenden Flanken jeweils dieselben Zeitintervalle auf. Somit besitzt

ein Ausgangssignal 35, des Multiplexers 35 eine Äquivalenzabtastfrequenz  $f_{ce}$ , die doppelt so hoch ist wie die Taktrate des ersten und zweiten Abtasttakts.

Beim Beispiel gemäß den Fig. 6 und 7 sind zwar zum besseren Verständnis nur zwei A/D-Wandler dargestellt; zur Erzeugung der dreifachen oder einer noch höheren Äquivalenzabtastgeschwindigkeit werden jedoch drei oder mehr A/D-Wandler eingesetzt. Die Gesamtabtast-rate wird gemäß dem Stand der Technik also erhöht, indem eine Vielzahl von A/D-Wandlern so angeordnet werden, daß sie parallel arbeiten, während die Ausgangssignale der A/D-Wandler zu einem seriellen Signal kombiniert werden, das eine Wiederholungsrate aufweist, die ein Vielfaches der Wiederholungsrate der einzelnen A/D-Wandler beträgt.

Um die Gesamtabtast-rate zu erhöhen, wird gemäß dem Stand der Technik jedoch auch die Anzahl an Schaltungsbauteilen, etwa A/D-Wandlern, proportional zum Anstieg der Abtastrate vergrößert. Somit tritt beim Stand der Technik unter Einsatz eines Überlappungsmodus das Problem auf, daß sich die Schaltungsgröße und die Kosten der Digitalisierungseinrichtung bei steigender Abtastrate entsprechend erhöhen.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Digitalisierungseinrichtung zu beschreiben, die in der Lage ist, die Äquivalenzabtastrate zu erhöhen, ohne daß dabei die Zahl der Schaltungsbauteile wesentlich ansteigt.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, eine Digitalisierungsvorrichtung zu beschreiben, bei der sich bei Verwendung eines einzigen A/D-Wandlers die Äquivalenzgesamtabtastrate erhöht, ohne daß sich die Frequenz des Abtasttakts des A/D-Wandlers erhöht.

Außerdem ist es Aufgabe der vorliegenden Erfindung, ein Mischsignal-Halbleiterprüfsystem zu beschreiben, das in der Lage ist, ein analoges Ausgangssignal eines Bauteilprüflings mit großer Umwandlungsgeschwindigkeit und hoher Auflösung in ein digitales Signal umzuwandeln.

Schließlich besteht eine Aufgabe der vorliegenden Erfindung darin, ein Mischsignal-Halbleiterprüfsystem zu beschreiben, das in der Lage ist, ein analoges Ausgangssignal eines Bauteilprüflings mit großer Umwandlungsgeschwindigkeit und hoher Auflösung in ein digitales Signal umzuwandeln und das digitale Signal in einem Speicher mit einer bestimmten Adressenfolge zu speichern.

Das erfindungsgemäße Mischsignal-Prüfsystem zum Prüfen eines sowohl eine analoge als auch eine digitale Funktion aufweisenden Halbleiterbauteils enthält eine Funktionsprüfeinheit zum Prüfen einer digitalen Funktion eines Bauteilprüflings (DUT) durch Zuführen eines Logikprüfmusters zum DUT und Bewerten eines Antwortausgangssignals vom DUT, eine Analogprüfeinheit zum Prüfen einer analogen Funktion des DUTs durch Zuführen eines Prüfsignals zum DUT und Bewerten eines analogen Ausgangssignals vom DUT und eine Synchronsteuerungseinheit zur Synchronisierung von Arbeitsvorgängen der Funktionsprüfeinheit und der Analogprüfeinheit, wobei die Analogprüfeinheit die folgenden Bestandteile umfaßt: eine Digitalisierungseinrichtung zur Umwandlung der analogen Ausgangssignale vom DUT, deren Wellenform sich in einer bestimmten Zeitperiode T in einer Vielzahl von Zyklen wiederholt, in ein digitales Signal, wobei ein Abtasttakt zum Abtasten des analogen Ausgangssignals für jeden Zyklus um einen bestimmten Betrag in seiner Phase verschoben wird, und einen Erfassungsspeicher zum Speichern des von der Digitalisierungseinrichtung stammenden digitalen Signals in spezifizierten Adressen des Speichers.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Adreßgenerator zur Erzeugung von Adreßdaten in einer bestimmten Reihenfolge vorgesehen, wobei die

Adreßdaten zum Speichern der digitalen Daten in fortlaufenden Adressen des Erfassungsspeichers in der Reihenfolge von Abtastpunkten am Analogausgangssignal dienen, wobei ein Unterschied in der Phasenverschiebung auftritt.

Erfindungsgemäß wird ein analoges Eingangssignal, bei dem sich dieselbe Wellenform in der Zeitperiode  $T$  in  $M$  Zyklen wiederholt,  $M$  Zyklen lang abgetastet, wobei eine Phase des Abtasttakts für jeden Zyklus um einen bestimmten Betrag  $\Delta P$  verschoben wird. Dies führt dazu, daß die in der A/D-Umwandlung gewonnenen Daten gemäß der vorliegenden Erfindung eine  $M$ -mal so hohe Auflösung aufweisen wie dies bei einer normalen A/D-Umwandlung der Fall ist, d. h. die Äquivalenzabtastfrequenz wird auf das  $M$ -fache erhöht. Hierdurch erhält man eine Digitalisierungseinrichtung mit hoher Auflösung und Geschwindigkeit, ohne daß eine Vielzahl von A/D-Wandlern oder ein höherer Frequenz-Abtasttakt benötigt werden. Dementsprechend läßt sich das mit einer Hochleistungs-Digitalisierungseinrichtung ausgestattete erfindungsgemäße Mischsignal-Prüfsystem mit geringerem Kosten- und Schaltungsaufwand verwirklichen.

Im folgenden wird die vorliegende Erfindung unter Bezugnahme auf die beigefügte Zeichnung näher erläutert. In der Zeichnung zeigen

**Fig. 1** ein Blockschaltbild eines Beispiels für den Aufbau eines Mischsignal-Prüfsystems gemäß der vorliegenden Erfindung, wobei die Digitalisierungseinrichtung besonders hervorgehoben ist;

**Fig. 2A** und **2B** Zeitsteuerungsdiagramme zur Darstellung einer Beziehung zwischen Wellenformen und Zeitsteuerung der im Mischsignal-Prüfsystem gemäß **Fig. 1** eingesetzten Digitalisierungseinrichtung;

**Fig. 3** ein Blockschaltbild eines grundlegenden Aufbaus eines in der erfindungsgemäßen Digitalisierungseinrichtung vorgesehenen Phasenschiebers;

**Fig. 4** ein Blockschaltbild eines grundlegenden Aufbaus eines Mischsignal-Halbleiterprüfsystems gemäß dem Stand der Technik;

**Fig. 5** ein Blockschaltbild eines grundlegenden Aufbaus einer Digitalisierungseinrichtung eines herkömmlichen Mischsignal-Prüfsystems;

**Fig. 6** ein Blockschaltbild eines grundlegenden Aufbaus einer herkömmlichen Digitalisierungseinrichtung zur Erhöhung der Äquivalenzabtastrate auf das Doppelte unter Verwendung von zwei A/D-Wandlern;

**Fig. 7** ein Zeitsteuerungsdiagramm zur Darstellung der Beziehung zwischen Wellenformen und Zeitsteuerung bei der herkömmlichen Digitalisierungseinrichtung gemäß **Fig. 6** unter Verwendung von zwei A/D-Wandlern;

**Fig. 8** ein Blockschaltbild eines Beispiels für einen Adreßgenerator zur Erzeugung von Adreßdaten zum Speichern digitalisierter Codes in einem Erfassungsspeicher in einer bestimmten Adressenfolge;

**Fig. 9** ein Blockschaltbild eines weiteren Beispiels für einen Adreßgenerator zur Erzeugung von Adreßdaten zum Speichern von digitalisierten Codes in einem Erfassungsspeicher in einer bestimmten Adressenfolge; und

**Fig. 10A** bis **10E** Zeitsteuerungsdiagramme entsprechend den **Fig. 2A** und **2B** zur Erläuterung der durch die Adreßgeneratoren gemäß den **Fig. 8** und **9** zu erzeugenden Adressenfolge für den Zugriff auf den Erfassungsspeicher.

Im folgenden werden die bevorzugten Ausführungsbeispiele der Erfindung näher beschrieben. Die **Fig. 1** bis **3** zeigen ein erfindungsgemäßes Ausführungsbeispiel, wobei **Fig. 1** ein Blockschaltbild eines Beispiels für den Aufbau des erfindungsgemäßen Mischsignal-Halbleiterprüfsystem darstellt, in dem eine Digitalisierungseinrichtung DGT besonders hervorgehoben ist. Gemäß der vorliegenden Erfindung wird zur Erhöhung der Abtastrate der Digitalisierungs-

einrichtung in jedem Zyklus des analogen Eingangssignals eine Phase des Abtasttaktsignals um einen bestimmten Betrag verschoben.

Die vorliegende Erfindung beruht auf der Tatsache, daß eine Wellenform mit einer Zeitperiode  $T$  in einem analogen Ausgangssignal eines Bauteilprüflings (DUT) beinahe immer mehrfach vorhanden ist. Dies ist darauf zurückzuführen, daß in einem Mischsignal-Prüfsystem Taktsignale und andere Signale dem Bauteilprüfling DUT vom Prüfsystem frei zugeführt werden können, so daß die Wiederholungsrate des analogen Ausgangssignals des Bauteilprüflings DUT vom Prüfsystem kontrolliert bzw. vorherbestimmt werden kann. Gemäß der vorliegenden Erfindung umfaßt dementsprechend eine im Mischsignal-Prüfsystem vorgesehene Digitalisierungsvorrichtung nur einen A/D-Wandler, wobei die Abtastphase in jedem Zyklus des analogen Eingangssignals verschoben wird, wodurch sich die Äquivalenzabtastfrequenz und die Abtastauflösung im A/D-Umwandlungsschritt erhöhen.

Die Wellenform des analogen Eingangssignals und eine Zeitsteuerungsbeziehung der im Mischsignal-Prüfsystem gemäß **Fig. 1** vorgesehenen Digitalisierungseinrichtung sind in den **Fig. 2A** und **2B** dargestellt. Wie bereits erwähnt, wird davon ausgegangen, daß das zu digitalisierende Eingangssignal  $S_1$  eine Wellenform aufweist, bei der sich zwei oder mehr Zyklen als Einheiten mit einer konstanten Zeitperiode  $T$  wiederholen. Da das Mischsignal-Prüfsystem dem Bauteilprüfling DUT ein Startsignal, ein Taktsignal oder andere Signale zuführt, wird weiterhin zugrundegelegt, daß die Zeitsteuerung des Prüfsystems und eine Zyklusperiode  $T$  des analogen Signals einander angeglichen werden können.

Die Phasenverschiebung des Abtasttakts gemäß der vorliegenden Erfindung läßt sich durchführen, obwohl die Zeitsteuerung des analogen Eingangssignals und des Prüfsystems nicht synchronisiert sind. Wenn nämlich beispielsweise das Prüfsystem jede Zeitperiode (Zeitlenge eines Zyklus) des analogen Signals mit einer Zeiteinheit (TMU) gemäß **Fig. 4** messen kann, so läßt sich ein geeigneter Abtasttakt für das analoge Eingangssignal leicht festlegen. Somit läßt sich die Phasenverschiebung des Abtasttaktes zur Erhöhung der Gesamtabtast-rate in der Digitalisierungseinrichtung durchführen.

Beim Beispiel gemäß **Fig. 1** umfaßt die Digitalisierungseinrichtung DGT einen Filter **60**, einen A/D-Wandler **30**, einen Phasenschieber **20**, eine Kontrolleinheit **15** und eine Synchronsteuerungseinheit **40**. Der Filter **60** und der A/D-Wandler **30** sind denjenigen gemäß dem in **Fig. 5** dargestellten Stand der Technik identisch. Die Synchronsteuerungseinheit **40** liefert einen Abtasttakt  $40_{clk}$  und ein konstantes Periodensignal  $40_s$  zum Phasenschieber **20**. Beim konstanten Periodensignal  $40_s$  handelt es sich um ein Impulssignal, das sich mit einer Zeitperiode  $T$  wiederholt, die dieselbe Zeitlenge aufweist wie ein Zyklus eines analogen Eingangssignals.

Die Kontrolleinheit **15** liefert Informationen über den Betrag der Phasenverschiebung bzw. die Deltaphase  $\Delta P$  zum Phasenschieber **20**. Die Deltaphase  $\Delta P$  wird zur Phase des Abtasttakts im nächsten Zyklus (Periode)  $T$  addiert. Beim Beispiel gemäß **Fig. 3** steht  $M$  für die Informationen über die Phasenverschiebung, wobei  $M$  üblicherweise der Anzahl von sich im analogen Signal wiederholenden Zyklen derselben Wellenform mit der Periode  $T$  entspricht.

Auf der Grundlage der von der Kontrolleinheit **15** gelieferten Zahl " $M$ " wird die Phasenverschiebung  $M$ -mal durchgeführt, wodurch sich die Gesamtabtastfrequenz der A/D-Umwandlung auf das  $M$ -fache erhöht.

Der Phasenschieber **20** empfängt den Abtasttakt  $40_{clk}$  und das konstante Periodensignal  $40_s$  von der Synchronsteue-

rungeinheit 40 und die Phasenverschiebungsinformation "M" von der Kontrolleinheit 15 und erzeugt einen phasenverschobenen Abtasttakt  $20_{\text{clk}}$  für den A/D-Wandler 30. Dabei erzeugt der Phasenschieber 20 den Abtasttakt  $20_{\text{clk}}$ , indem er die Deltaphasenverschiebung  $\Delta P$  für jede Periode T zum Abtasttakt der vorhergehenden Periode addiert. Im einzelnen beträgt in dem Fall, wenn das analoge Eingangssignal einer Zeitperiode T für M Zyklen einer A/D-Umwandlung unterzogen wird, die Deltaphase  $\Delta P$   $360^\circ/M$ . Wenn beispielsweise  $M = 8$  ist, so gilt  $360^\circ/8 = 45^\circ$  und somit beträgt die Phasenverschiebung in der ersten Periode T 0, während sie in der zweiten Periode T  $45^\circ$  und in den folgenden Perioden  $90^\circ$ ,  $135^\circ$ ,  $180^\circ$ , ...  $360^\circ$  beträgt.

Auf diese Weise wird die Phase des Abtasttakts in jeder Periode T des analogen Signals um die Einheit der Deltaphase  $\Delta P$  verschoben. Das Ausgangssignal des A/D-Wandlers 30 wird im Erfassungsspeicher 50 zur späteren Analyse im Prüfsystem gespeichert. Der genannte Arbeitsablauf bei der erfindungsgemäßen Digitalisierungseinrichtung entspricht einem parallelen Anordnen von M A/D-Wandlern und dem Kombinieren der digitalen Ausgangssignale zur Erzeugung eines seriellen Signals. Die Gesamtabtast-rate der Digitalisierungseinrichtung erhöht sich somit auf das M-fache.

Damit die vorliegende Erfindung wirksam eingesetzt werden kann, muß das analoge Ausgangssignal vom Bauteilprüfung DUT mit der konstanten Zeitperiode T für M Zyklen wiederholt werden. Wie sich den obigen Ausführungen entnehmen läßt, werden die Abtastrate und die Abtastauflösung um so höher, je kleiner die Deltaphase  $\Delta P$  ist. Bei einer derart kurzen Deltaphase  $\Delta P$  muß ein (nicht dargestellter) Abtast- und Haltekreis im A/D-Wandler 30 allerdings in der Lage sein, eine hohe Leistung, beispielsweise eine hohe Spannungssicherheit, zu liefern.

In Fig. 3 ist ein Beispiel für den grundlegenden Aufbau eines Phasenschiebers 20 gezeigt. Bei diesem Beispiel besteht der Phasenschieber 20 aus einem Frequenzvervielfacher 22 und einem Frequenzteiler 24, die in Reihe geschaltet sind. Der Frequenzvervielfacher 22 multipliziert die Frequenz des Abtasttakts  $40_{\text{clk}}$  mit M und der Frequenzteiler 24 teilt die Ausgangsfrequenz des Vervielfachers 22 durch M zur Erzeugung des Abtasttakts  $20_{\text{clk}}$  für den A/D-Wandler 30. Die Kontrolleinheit 15 liefert dem Frequenzvervielfacher 22 und dem Frequenzteiler 24 die Information "M".

Wie sich Fig. 3 entnehmen läßt, wird das konstante Periodensignal  $40_{\text{clk}}$  dem Frequenzteiler 24 zugeführt. Bei dieser Anordnung überspringt der Frequenzteiler 24 jedesmal, wenn er das konstante Periodensignal  $40_{\text{clk}}$  empfängt, also bei jeder Zeitperiode T, den Teilungsvorgang. Dies bedeutet, daß der Teilungsvorgang, der einem Impuls im Ausgangssignal des Frequenzvervielfachers 22 entspricht, bei einer Flanke des konstanten Periodensignals  $40_{\text{clk}}$  unterbunden wird. Dies führt zu einer Phasenverschiebung des Abtasttakts  $20_{\text{clk}}$  für jede Zeitperiode T des analogen Eingangssignals um  $\Delta P$ . Beim Beispiel gemäß Fig. 3 kann auf den Frequenzvervielfacher 22 verzichtet werden, sofern die Synchronsteuerungseinheit 40 in der Lage ist, einen Abtasttakt zu liefern, dessen Frequenz das M-fache der Frequenz des Abtasttakts  $40_{\text{clk}}$  beträgt. Eine entsprechende Phasenverschiebung kann auch beispielsweise mit Hilfe eines handelsüblichen Phasenregelkreises (PLL) erzeugt werden.

In den Zeitsteuerungsdiagrammen der Fig. 2A und 2B ist ein Fall dargestellt, bei dem die A/D-Umwandlung für zwei Zyklen des analogen Eingangssignals  $S_i$  durchgeführt wird, d. h.  $M = 2$ . Anders ausgedrückt, wird die Phase hierbei im zweiten Zyklus um  $180^\circ$  verschoben. Der erste Zyklus in Fig. 2 ist mit T1 und der zweite Zyklus mit T2 bezeichnet, wobei der erste und der zweite Zyklus dieselbe Zeitperiode

T aufweisen. Im ersten Zyklus T1 ist der Abtasttakt  $20_{\text{clk}}$  nicht phasenverschoben, so daß er dem ursprünglichen Abtasttakt  $40_{\text{clk}}$  gemäß Fig. 2B entspricht. Im zweiten Zyklus T2 gemäß Fig. 2A ist der Abtasttakt  $20_{\text{clk}}$  um  $\Delta P = 180^\circ$  gegenüber dem ursprünglichen Abtasttakt  $40_{\text{clk}}$  gemäß Fig. 2B phasenverschoben.

Da die Frequenz des Abtasttakts  $20_{\text{clk}}$  sich nicht ändert, ist der A/D-Wandler in der Lage, das analoge Eingangssignal in ein digitales Signal umzuwandeln. Außerdem werden die Abtastpunkte des analogen Signals um einen 50%-Arbeitszyklus, d. h. um  $180^\circ$ , gegenüber dem ursprünglichen Abtasttakt  $40_{\text{clk}}$  verschoben, so daß die Summe der im ersten Zyklus T1 und im zweiten Zyklus T2 gewonnenen digitalen Daten den Daten entspricht, die man bei einer das Doppelte des ursprünglichen Abtasttakts  $40_{\text{clk}}$  betragenden Abtastfrequenz gewinnen würde.

Obwohl die beschriebene Digitalisierungseinrichtung im Mischsignal-Prüfsystem äußerst vorteilhaft eingesetzt werden kann, sind auch andere Verwendungsmöglichkeiten denkbar. So kann die erfindungsgemäße Digitalisierungseinrichtung beispielsweise als ein A/D-Wandler für ein analoges Eingangssignal eingesetzt werden, bei dem sich dieselbe Wellenform wenigstens zweimal wiederholt. Durch ein Verschieben der Phase des Abtasttakts für jeden von M Zyklen des Eingangssignals mit Hilfe des Phasenschiebers 20 werden die Äquivalenzabtastrate und die Abtastauflösung um den Faktor M erhöht.

Das Ausgangssignal der Digitalisierungseinrichtung wird im Erfassungsspeicher 50 in der Reihenfolge der A/D-Umwandlung, d. h. der digitalen Daten der Abtastpunkte  $1_1, 2_1, 3_1, \dots, 8_1, 1_2, 2_2, 3_2, \dots, 8_2$  gemäß Fig. 10A gespeichert. Es ist auch möglich, die digitalisierten Daten in einer anderen Reihenfolge als der erwähnten abzuspeichern, etwa in der Reihenfolge  $1_1, 1_2, 2_1, 2_2, 3_1, 3_2, \dots, 8_1, 8_2$ , d. h. in der Reihenfolge der Deltaphase  $\Delta P$  der Abtastpunkte des analogen Signals  $S_i$  gemäß Fig. 10A. In diesem Fall werden die digitalen Daten im Erfassungsspeicher 50 so gespeichert, wie sie von einem A/D-Wandler gewonnen würden, der tatsächlich die M-fache (im Beispiel gemäß Fig. 10 die 2-fache) Abtastgeschwindigkeit des A/D-Wandlers 30 besitzt, was die direkte Verwendung der digitalen Daten im Speicher 50 zur Signalanalyse etc. ermöglicht.

Fig. 8 zeigt ein Beispiel für ein Blockschaltbild eines Adreßgenerators 70 zur Erzeugung der erwähnten Adressenfolgen zum Speichern der Ausgangssignale der Digitalisierungseinrichtung im Erfassungsspeicher 50. Beim Beispiel gemäß Fig. 8 umfaßt der Adreßgenerator 70 einen Periodenzähler 72, einen ersten Addierer 74, eine Gatterschaltung 76, einen zweiten Addierer 78 und ein Register 79. Das konstante Periodensignal  $40_{\text{clk}}$ , das dieselbe Zeitperiode T aufweist wie das analoge Eingangssignal, wird von der Synchronsteuerungseinheit 40 dem Periodenzähler 72 und der Gatterschaltung 76 zugeführt. Der phasenverschobene Abtasttakt  $20_{\text{clk}}$  vom Phasenschieber 20 wird dem Register 79 zugeführt. Der erste Addierer 74 empfängt Daten "M", die der Anzahl von Zyklen des analogen Eingangssignals entsprechen, für die die beschriebene A/D-Umwandlung durchgeführt werden soll.

Der Periodenzähler 72 wird am Beginn des Arbeitsvorgangs auf "0" zurückgesetzt und um eins erhöht, wenn er das konstante Periodensignal  $40_{\text{clk}}$  empfängt. Der Periodenzähler 72 liefert ein Ausgangssignal  $72_i$  an einen Eingang des zweiten Addierers 78, dessen anderer Eingang ein Ausgangssignal von der Gatterschaltung 76 empfängt. Der erste Addierer empfängt, wie erwähnt, die Zykluszahl "M" an seinem einen Eingang und ein Ausgangssignal  $79_i$  des Registers 79 am anderen Eingang. Der erste Addierer 74 liefert somit die Summe (akkumulierte Daten) der beiden Ein-

gangssignale zur Gatterschaltung 76.

Die Gatterschaltung 76 setzt ihr Ausgangssignal nur dann auf den logischen Zustand "L", wenn das konstante Periodensignal 40<sub>s</sub> gültig ist (beispielsweise den logischen Zustand H aufweist), während es die akkumulierten Daten vom ersten Addierer 74 zum zweiten Addierer 78 liefert, wenn das konstante Periodensignal 40<sub>s</sub> ungültig ist (beispielsweise den logischen Zustand L aufweist). Der zweite Addierer 78 liefert die Summe des Ausgangssignals 72, des Periodenzählers 72 und der akkumulierten Daten 76<sub>s</sub> von der Gatterschaltung 76 zum Register 79. Wenn das Register 79 die Ausgangsdaten vom zweiten Addierer 78 empfängt, erzeugt es ein Adreßsignal 79<sub>s</sub> entsprechend der Taktsteuerung des Abtasttakts 20<sub>clk</sub>.

Durch die beschriebene Anordnung erzeugt der Adreßgenerator 70 ein Adreßsignal, das auf den Erfassungsspeicher 50 in der Reihenfolge der Deltaphase  $\Delta P$  relativ zum analogen Eingangssignal zugreift. Damit werden im Erfassungsspeicher 50 die Daten in der Reihenfolge gespeichert, wie dies direkt durch eine Digitalisierungseinrichtung der Fall wäre, deren Abtastfrequenz das M-fache des Abtasttakts 40<sub>clk</sub> bzw. 20<sub>clk</sub> beträgt. Beim beschriebenen Beispiel gemäß Fig. 8 ist die Zahl "M" eine Potenz von zwei, d. h. 2, 4, 8, 16 etc. Die niedrigeren Bits des Adreßsignals 79<sub>s</sub> können durch einen Zähler erzeugt werden, der sich bei jedem Impuls des konstanten Periodensignals 40<sub>s</sub> um eins erhöht, während die oberen Bits des Adreßsignals 79<sub>s</sub> durch einen Zähler erzeugt werden können, der sich bei jedem Abtasttakt 20<sub>clk</sub> um eins erhöht.

Fig. 9 zeigt ein Blockschaltbild eines weiteren Beispiels für einen Adreßgenerator zur Erzeugung von Adreßdaten zum Speichern digitaler Daten von der Digitalisierungseinrichtung im Erfassungsspeicher mit einer vorbestimmten Adressenfolge. Wie beim vorherigen Beispiel kann diese Schaltungsanordnung wirksam eingesetzt werden, wenn es sich bei den Daten "M" um eine Potenz von zwei handelt. Beim Beispiel gemäß Fig. 9 umfaßt ein Adreßgenerator 70 einen Zähler 82 für niedrigere Bits, eine Zähler 83 für obere Bits und eine Flip-Flop-Schaltung 89. Der Zähler 82 für niedrigere Bits empfängt das konstante Periodensignal 40<sub>s</sub>. Der Zähler 83 für obere Bits und die Flip-Flop-Schaltung 89 empfangen den phasenverschobenen Abtasttakt 20<sub>clk</sub>.

Der Zähler 82 für niedrigere Bits nimmt zur Erzeugung eines Niedrigbitsignals 82<sub>s</sub> bei jedem konstanten Periodensignal 40<sub>s</sub> eine Erhöhung um eins vor, während der Zähler 83 für obere Bits zur Erzeugung eines Adreßsignals 79<sub>H</sub> für obere Bits bei jedem Abtasttakt 20<sub>clk</sub> eine Erhöhung um eins vornimmt. Das Niedrigbitsignal 82<sub>s</sub> wird gemäß der Taktsteuerung des Abtasttakts 20<sub>clk</sub> durch die Flip-Flop-Schaltung 89 zwischengespeichert, wodurch ein Niedrigbit-Adreßsignal 79<sub>L</sub> erzeugt wird. Das Niedrigbit-Adreßsignal 79<sub>L</sub> und das Adreßsignal 79<sub>H</sub> für obere Bits werden dem Erfassungsspeicher 50 zugeführt, um Zugriff auf den Erfassungsspeicher zu nehmen und so die Daten in der Reihenfolge der Phasenverschiebung  $\Delta P$  im Abtasttakt des analogen Signals zu speichern.

Die durch den Adreßgenerator gemäß den Fig. 8 und 9 erzeugte Adressenfolge wird nun zusammenfassend unter Bezugnahme auf die Fig. 10A bis 10E erläutert. Wie beim Beispiel gemäß den Fig. 2A und 2B ist in Fig. 10 ein Fall einer A/D-Umwandlungsvorgang gezeigt, bei dem ein analoges Eingangssignal mit einer Zeitperiode T durch Abtasten des analogen Signals in zwei Zyklen T1 und T2 in ein digitales Signal umgewandelt wird. Im ersten Zyklus T1 erfolgt keine Phasenverschiebung, während im zweiten Zyklus die Phase des Abtasttakts 20<sub>clk</sub> um 180° gegenüber dem ersten Zyklus verschoben ist.

Zur Speicherung der digitalisierten Daten im Speicher 50

in der Reihenfolge 1<sub>1</sub>, 1<sub>2</sub>, 2<sub>1</sub>, 2<sub>2</sub>, 3<sub>1</sub>, 3<sub>2</sub>, ..., 8<sub>1</sub>, 8<sub>2</sub> der Abtastpunkte des Eingangssignals S<sub>i</sub>, d. h. mit der Erhöhung um die Deltaphase  $\Delta P$  der Abtastpunkte, erzeugt der genannte Adreßgenerator 70 die Adresse mit Hilfe der Formel  $AD = Q + (M \cdot N)$ . In dieser Formel steht AD für die vom Adreßgenerator 70 erzeugten Adreßdaten, M ist die Anzahl der Zyklen des analogen Signals, die einer A/D-Umwandlung unterzogen werden, Q steht für einen momentanen Zyklus, wobei  $Q = 0, 1, \dots, M-1$  sein kann, und N steht für eine Position des Abtastimpulses.

Beim Beispiel gemäß der Fig. 10 entsprechen den Variablen M, Q und N bei zwei Zyklen die Zahlen gemäß Fig. 10D, wobei die Zahl der Abtastpunkte in einem Zyklus beispielsweise acht beträgt. Die durch den Adreßgenerator 70 erzeugten Adreßdaten AD sind somit 0, 2, 4, ..., 14, 1, 3, 5, ..., 15, wie dies Fig. 10E zu entnehmen ist. In der Adresse "0" des Speichers 50 werden dabei die digitalen Daten des Abtastpunkts 1<sub>1</sub> (erster Zyklus T1) gespeichert und in der Adresse "1" die Daten des Abtastpunkts 1<sub>2</sub> (zweiter Zyklus T2). Außerdem werden in der Adresse "2" des Speichers 50 die digitalen Daten des Abtastpunkts 2<sub>1</sub> (erster Zyklus T1) und in der Adresse "3" die Daten des Abtastpunkts 2<sub>2</sub> (zweiter Zyklus T2) gespeichert usw. Dies führt dazu, daß die digitalen Daten so im Erfassungsspeicher 50 gespeichert werden, wie dies bei der Datengewinnung durch einen tatsächlich die doppelte Abtastgeschwindigkeit des A/D-Wandlers 30 aufweisenden A/D-Wandler der Fall wäre.

Wie beschrieben, wird gemäß der vorliegenden Erfindung ein analoges Eingangssignal, bei dem sich in M Zyklen dieselbe Wellenform mit der Zeitperiode T wiederholt, für diese M Zyklen einer A/D-Umwandlung unterzogen, indem eine Phase des Abtasttakts für jeden Zyklus um einen bestimmten Betrag  $\Delta P$  verschoben wird. Hierdurch werden bei der erfindungsgemäßen A/D-Umwandlung Daten mit einer Auflösung gewonnen, die das M-fache einer normalen A/D-Umwandlung beträgt. Anders ausgedrückt, wird die Äquivalenzabtastfrequenz auf das M-fache erhöht. Somit erhält man eine Digitalisierungseinrichtung mit hoher Auflösung und hoher Geschwindigkeit, ohne daß eine Vielzahl von A/D-Wandlern vorgesehen oder ein Abtasttakt mit höherer Frequenz verwendet werden muß. Dementsprechend läßt sich das eine Hochleistungs-Digitalisierungseinrichtung aufweisende Mischsignal-Prüfsystem zu niedrigen Kosten und mit geringem Schaltungsaufwand herstellen.

#### Patentansprüche

1. Mischsignal-Prüfsystem zum Prüfen von sowohl analoge als auch digitale Funktionen aufweisenden Halbleiterbauteilen, enthaltend

- eine Funktionsprüfeinheit zum Prüfen einer digitalen Funktion eines Bauteilprüflings (DUT) durch Zuführen eines Logikprüfmusters zum DUT und Bewerten eines Antwortausgangssignals vom DUT;
- eine Analogprüfeinheit zum Prüfen einer analogen Funktion des DUTs durch Zuführen eines Prüfsignals zum DUT und Bewerten eines analogen Ausgangssignals vom DUT; und
- eine Synchronisierungseinheit zur Synchronisierung von Arbeitsvorgängen der Funktionsprüfeinheit und der Analogprüfeinheit; wobei die Analogprüfeinheit die folgenden Bestandteile umfaßt:
- eine Digitalisierungseinrichtung zur Umwandlung der analogen Ausgangssignale vom DUT, deren Wellenform sich in einer bestimmten Zeitperiode T in einer Vielzahl von Zyklen wieder-

holt, in ein digitales Signal, wobei ein Abtasttakt zum Abtasten des analogen Ausgangssignals für jeden Zyklus um einen bestimmten Betrag in seiner Phase verschoben wird; und

– einen Erfassungsspeicher zum Speichern des von der Digitalisierungseinrichtung stammenden digitalen Signals in spezifizierten Adressen des Speichers.

2. Mischsignal-Prüfsystem nach Anspruch 1, wobei die Digitalisierungseinrichtung einen Phasenschieber zur Erzeugung des für jeden Zyklus des analogen Ausgangssignals phasenverschobenen Abtasttakts, einen Analog-Digital-Wandler (A/D-Wandler) zum Umwandeln des analogen Ausgangssignals des DUT in das digitale Signal auf der Grundlage des vom Phasenschieber in seiner Phase verschobenen Abtasttakts sowie eine Kontrolleinheit zur Kontrolle des Betrags der vom Phasenschieber erzeugten Phasenverschiebung enthält.

3. Mischsignal-Prüfsystem nach Anspruch 2, wobei die Digitalisierungseinrichtung weiterhin einen Tiefpassfilter zur Entfernung von Frequenzkomponenten enthält, die oberhalb einer bestimmten Frequenz liegen, welche eine Funktion einer Frequenz des Abtasttakts darstellt.

4. Mischsignal-Prüfsystem nach Anspruch 2, wobei der Phasenschieber den phasenverschobenen Abtasttakt auf der Grundlage eines von der Synchronsteuerungseinheit stammenden Taktsignals und von durch die Kontrolleinheit gelieferten Informationen über eine Zahl der vom A/D-Wandler einer A/D-Umwandlung unterzogenen Zyklen des analogen Ausgangssignals erzeugt.

5. Mischsignal-Prüfsystem nach Anspruch 4, wobei der Phasenschieber einen Frequenzvervielfacher zur Vervielfachung einer Frequenz des von der Synchronsteuerungseinheit stammenden Taktsignals und einen Frequenzteiler zum Teilen einer Ausgangsfrequenz vom Frequenzvervielfacher durch die von der Kontrolleinheit stammende Zykluszahl enthält, wobei die Arbeit des Frequenzteilers für einen Zyklus der am Beginn jedes Zyklus der A/D-Umwandlung unterbunden wird.

6. Mischsignal-Prüfsystem nach Anspruch 1, wobei die Analogprüfeinheit weiterhin einen Adreßgenerator zur Erzeugung von Adreßdaten für die Erfassung enthält, wobei die Adreßdaten zum Speichern der digitalen Daten in fortlaufenden Adressen des Erfassungsspeichers in einer Reihenfolge von Abtastpunkten am Analogausgangssignal dienen, die einem Minimalabstand der Phasenverschiebung des Abtasttakts entsprechen.

7. Mischsignal-Prüfsystem nach Anspruch 1, wobei die Funktionsprüfeinheit einen Taktgenerator zur Erzeugung von Taktsignalen für das Prüfsystem, einen Mustergenerator zur Erzeugung eines Prüfmusters und eine Formatkontrolleinheit zur Erzeugung des Logikprüfmusters auf der Grundlage des vom Mustergenerator stammenden Prüfmusters und des vom Taktgenerator stammenden Taktsignals enthält.

8. Mischsignal-Prüfeinheit zum Prüfen von sowohl analoge als auch digitale Funktionen aufweisenden Halbleiterbauteilen, enthaltend

– eine Funktionsprüfeinheit zum Prüfen einer digitalen Funktion eines Bauteilprüflings (DUT) durch Zuführen eines Logikprüfmusters zum DUT und Bewerten eines Antwortausgangssignals vom DUT;

– eine Analogprüfeinheit zum Prüfen einer analogen Funktion des DUT durch Zuführen eines Prüfsignals zum DUT und Bewerten eines analogen Ausgangssignals vom DUT; und

– eine Synchronsteuerungseinheit zur Synchronisierung von Arbeitsvorgängen der Funktionsprüfeinheit und der Analogprüfeinheit; wobei die Analogprüfeinheit die folgenden Bestandteile umfaßt:

– eine Digitalisierungseinrichtung zur Umwandlung der analogen Ausgangssignale vom DUT, deren Wellenform sich in einer bestimmten Zeitperiode T in einer Vielzahl von Zyklen M wiederholt, in ein digitales Signal, wobei ein Abtasttakt zum Abtasten des analogen Ausgangssignals für jeden Zyklus um einen bestimmten Betrag in seiner Phase verschoben wird;

– einen Erfassungsspeicher zum Speichern des von der Digitalisierungseinrichtung stammenden digitalen Signals in spezifizierten Adressen des Speichers; und

– einen Adreßgenerator zur Erzeugung von Adreßdaten für die Erfassung, die zur Speicherung der digitalen Daten in fortlaufenden Adressen des Erfassungsspeichers in einer bestimmten Reihenfolge von Abtastpunkten am analogen Ausgangssignal dienen, wobei die digitalen Daten vom A/D-Wandler unter Verwendung eines Abtasttakts erzeugt werden, dessen Frequenz M-mal so hoch ist wie die des eigentlich verwendeten Abtasttakts.

9. Mischsignal-Prüfsystem nach Anspruch 8, wobei der Adreßgenerator Adreßdaten AD auf der Grundlage der Formel  $AD = Q + (M \cdot N)$  erzeugt, wobei M für eine Anzahl von in der A/D-Umwandlung verwendeten Zyklen des Analogsignals steht, Q einen momentanen Zyklus repräsentiert, wobei  $Q = 0, 1, \dots, M-1$  sein kann, und N einer Position des Abtastimpulses entspricht.

10. Mischsignal-Prüfsystem nach Anspruch 8, wobei die Digitalisierungseinrichtung einen Phasenschieber zur Erzeugung des in jedem Zyklus des analogen Ausgangssignals phasenverschobenen Abtasttakts, einen Analog-Digital-Wandler (A/D-Wandler) zur Umwandlung des analogen Ausgangssignals vom DUT in das digitale Signal auf der Grundlage des durch den Phasenschieber phasenverschobenen Abtasttakts und eine Kontrolleinheit zur Kontrolle des Betrags der durch den Phasenschieber erzeugten Phasenverschiebung enthält.

11. Mischsignal-Prüfsystem nach Anspruch 11, wobei der Phasenschieber den phasenverschobenen Abtasttakt auf der Grundlage eines von der Synchronsteuerungseinheit erzeugten Taktsignals und von durch die Kontrolleinheit gelieferten Informationen über eine Zahl von vom A/D-Wandler einer A/D-Umwandlung unterzogenen Zyklen des analogen Ausgangssignals umfaßt.

12. Mischsignal-Prüfsystem nach Anspruch 8, wobei der Adreßgenerator einen Periodenzähler zum Zählen eines von der Synchronsteuerungseinheit stammenden konstanten Periodensignals, einen Daten über die Zahl der einer A/D-Umwandlung unterzogenen Zyklen des analogen Ausgangssignals empfangenden ersten Addierer, eine das konstante Periodensignal und ein Ausgangssignal vom ersten Addierer empfangende Gatter-Schaltung, einen mit einem Ausgang des Periodenzählers verbundenen zweiten Addierer und ein ein Ausgangssignal des zweiten Addierers empfangendes und



die Adreßdaten entsprechend der Taktsteuerung des phasenverschobenen Abtasttakts erzeugendes Register enthält.

13. Mischsignal-Prüfsystem nach Anspruch 8, wobei der Adreßgenerator einen Zähler für niedrigere Bits, der bei jedem Impuls eines konstanten Periodensignals eine Erhöhung um eins vornimmt, einen Zähler für obere Bits, der bei jedem Impuls des phasenverschobenen Abtasttakts eine Erhöhung um eins vornimmt, sowie eine Flip-Flop-Schaltung, die mit einem Ausgang des Zählers für niedrigere Bits verbunden ist und den phasenverschobenen Abtasttakt empfängt, enthält, wobei die Flip-Flop-Schaltung ein niedrigeres Bit der Adreßdaten und der Zähler für obere Bits ein oberes Bit der Adreßdaten erzeugt.

---

Hierzu 10 Seite(n) Zeichnungen

---

20

25

30

35

40

45

50

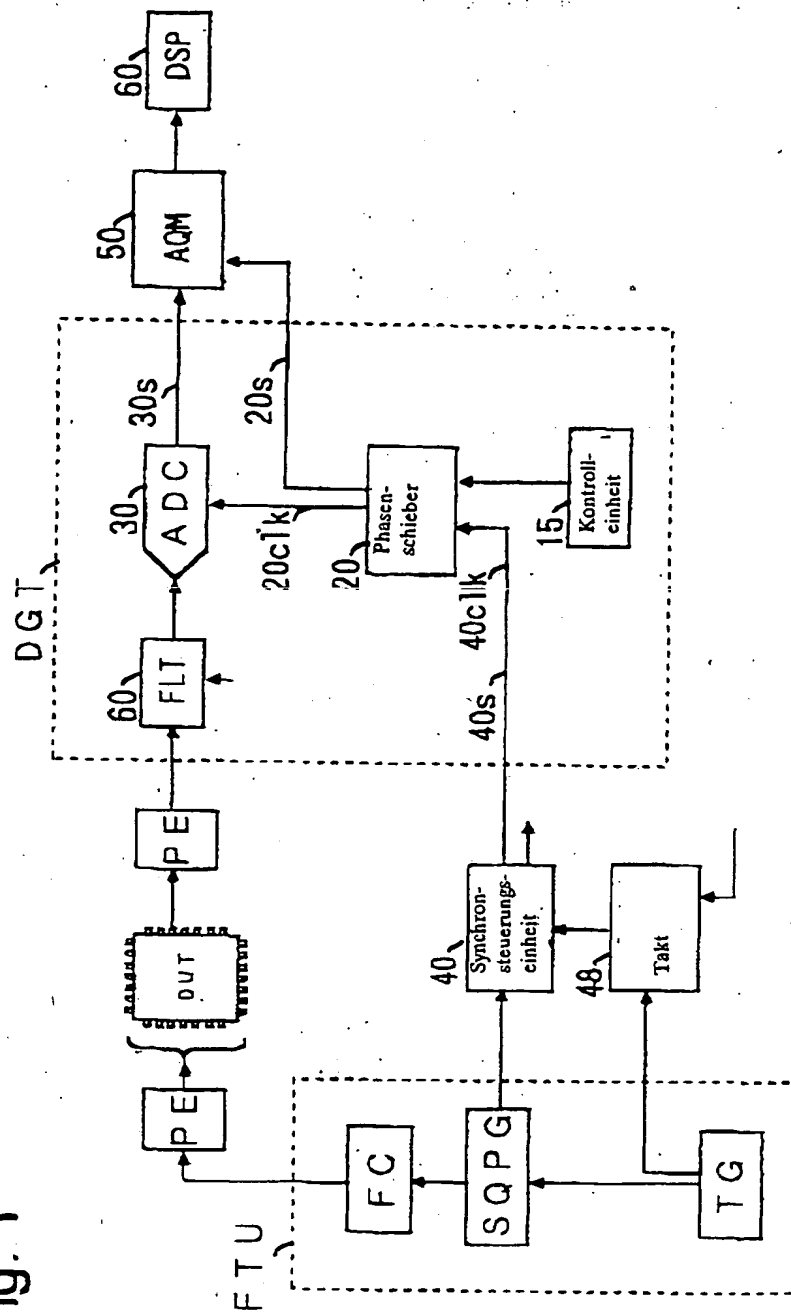
55

60

65



Fig. 1



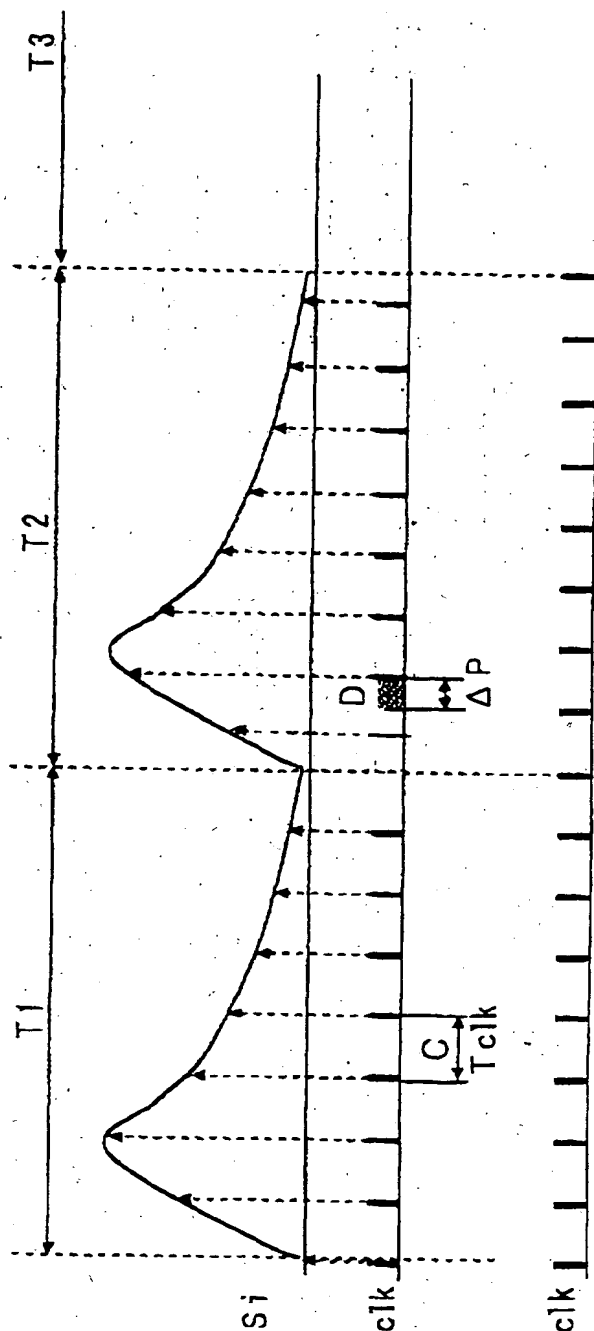


Fig. 2A 20clk.

**Fig. 2B** 40clk

Fig. 3

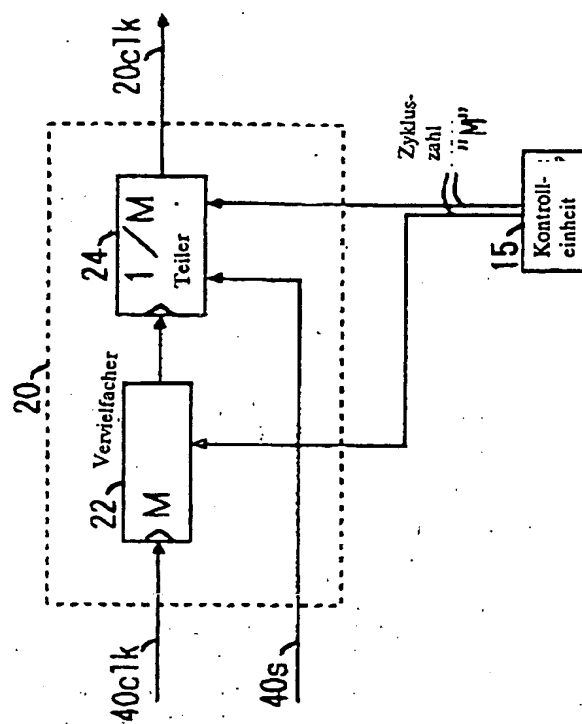


Fig. 4

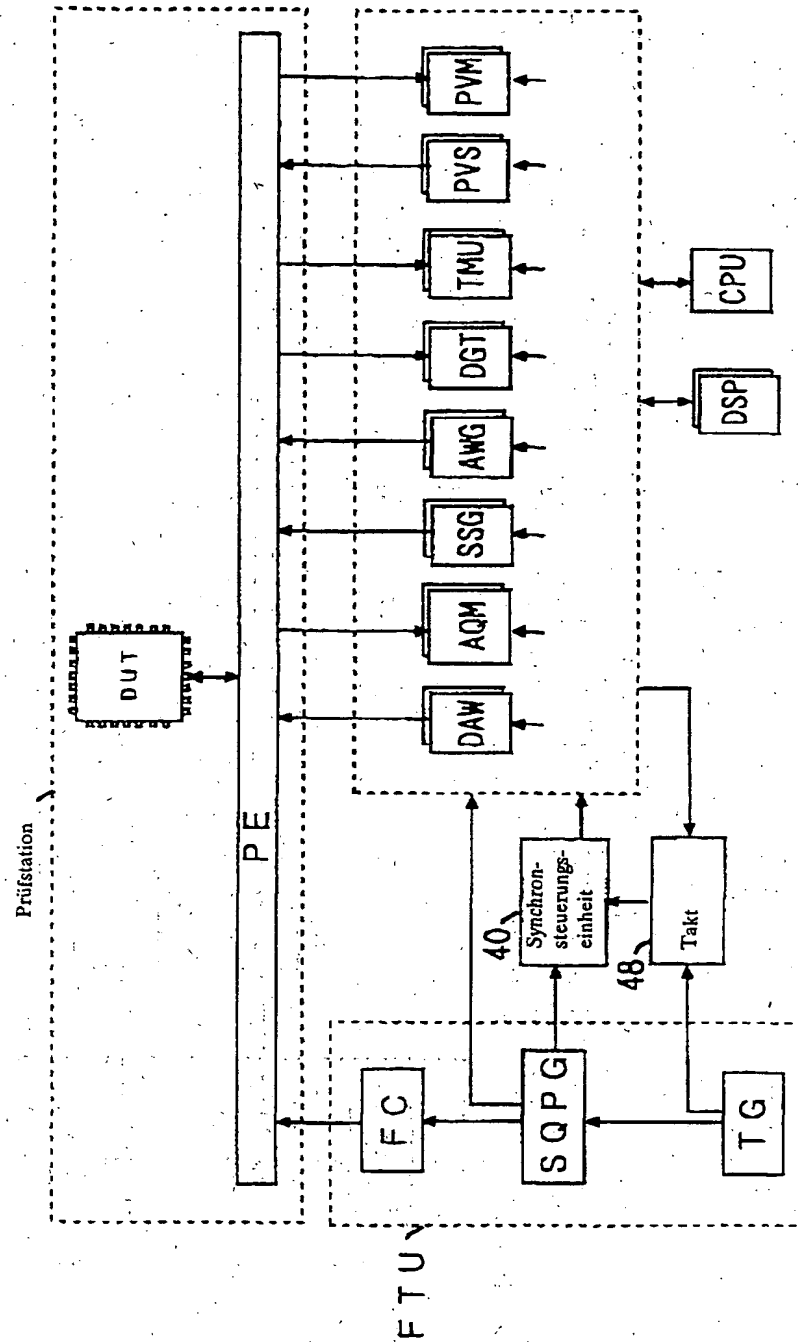


Fig. 5

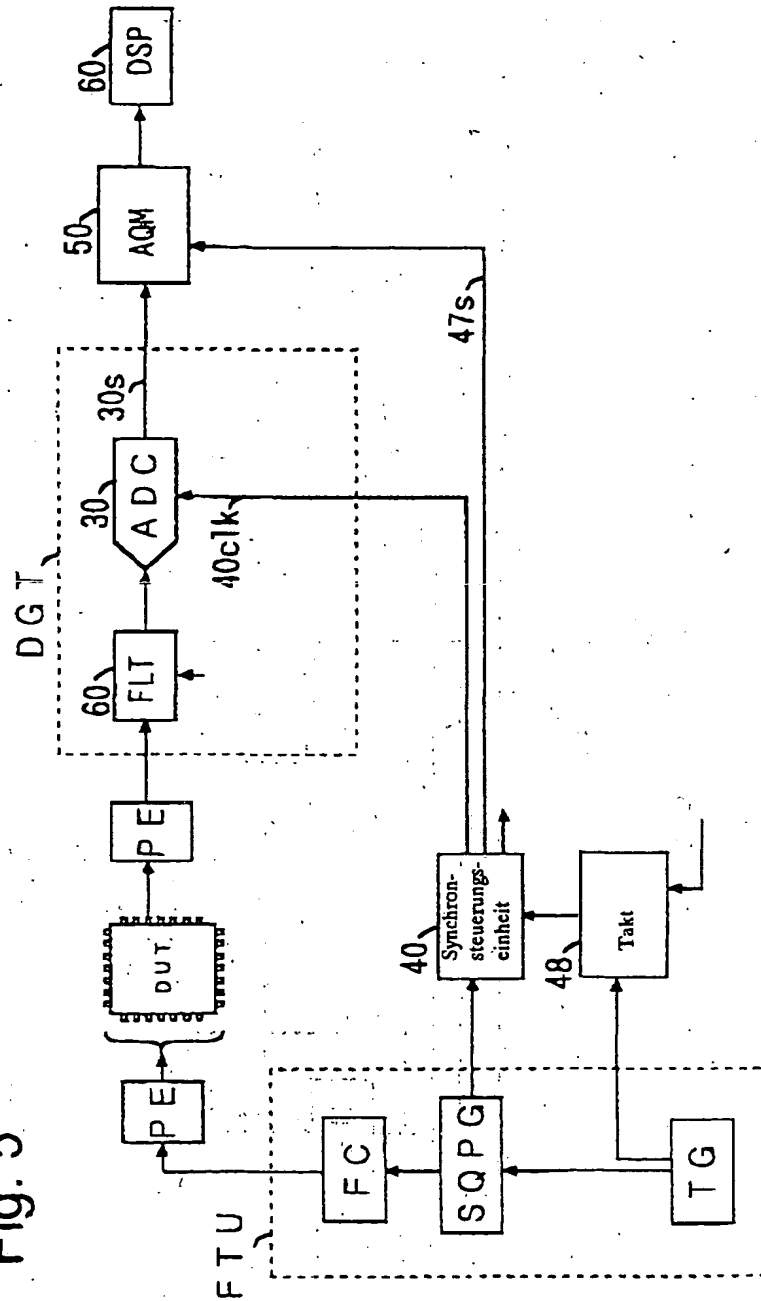
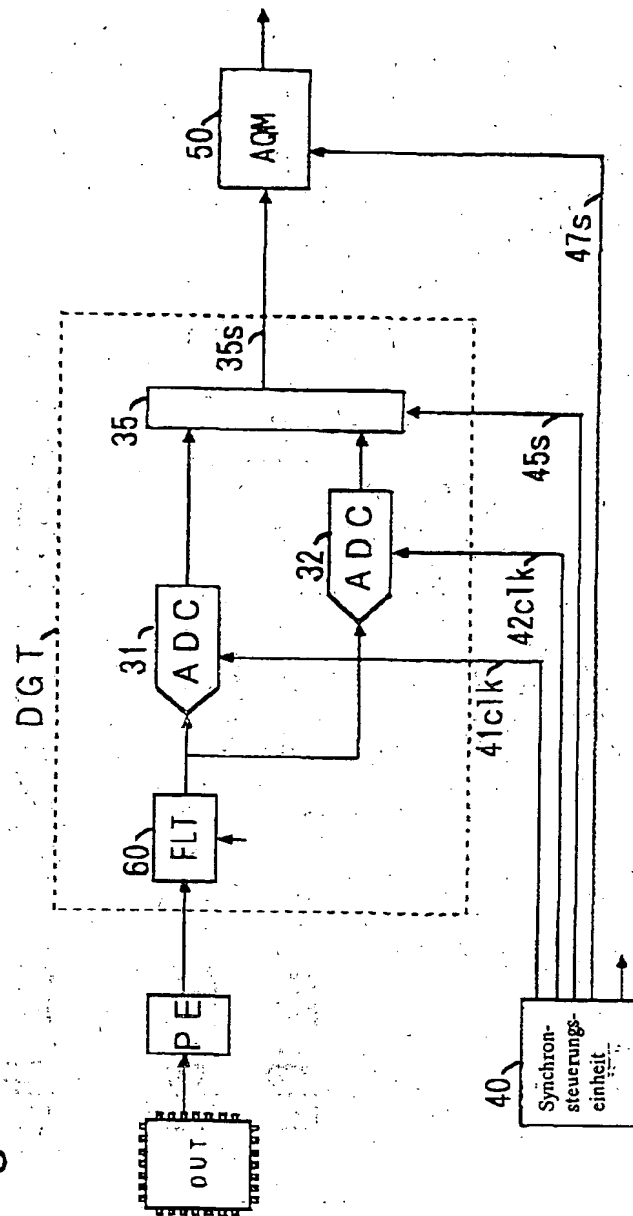


Fig. 6



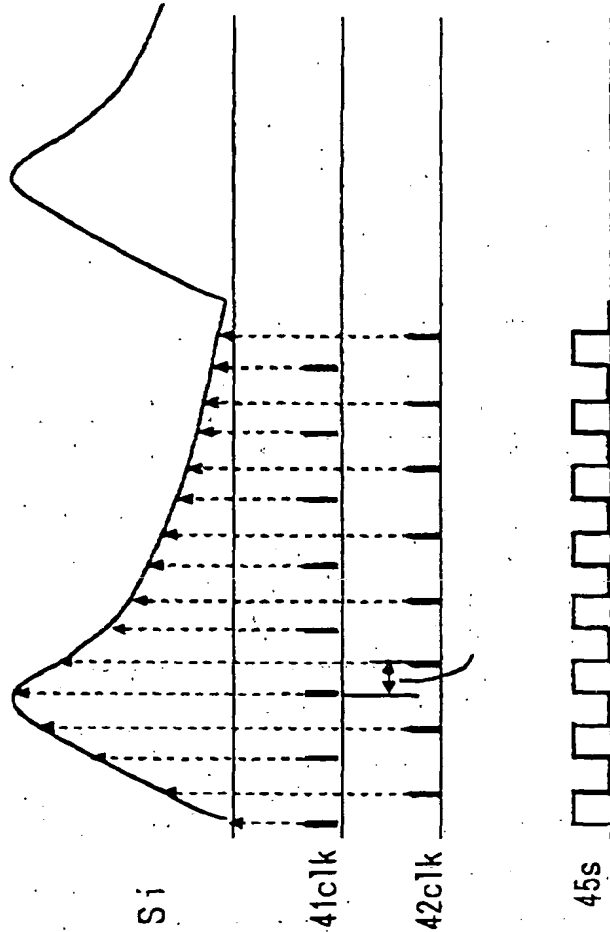


Fig. 7A

Fig. 7B

Fig. 7C



Fig. 8

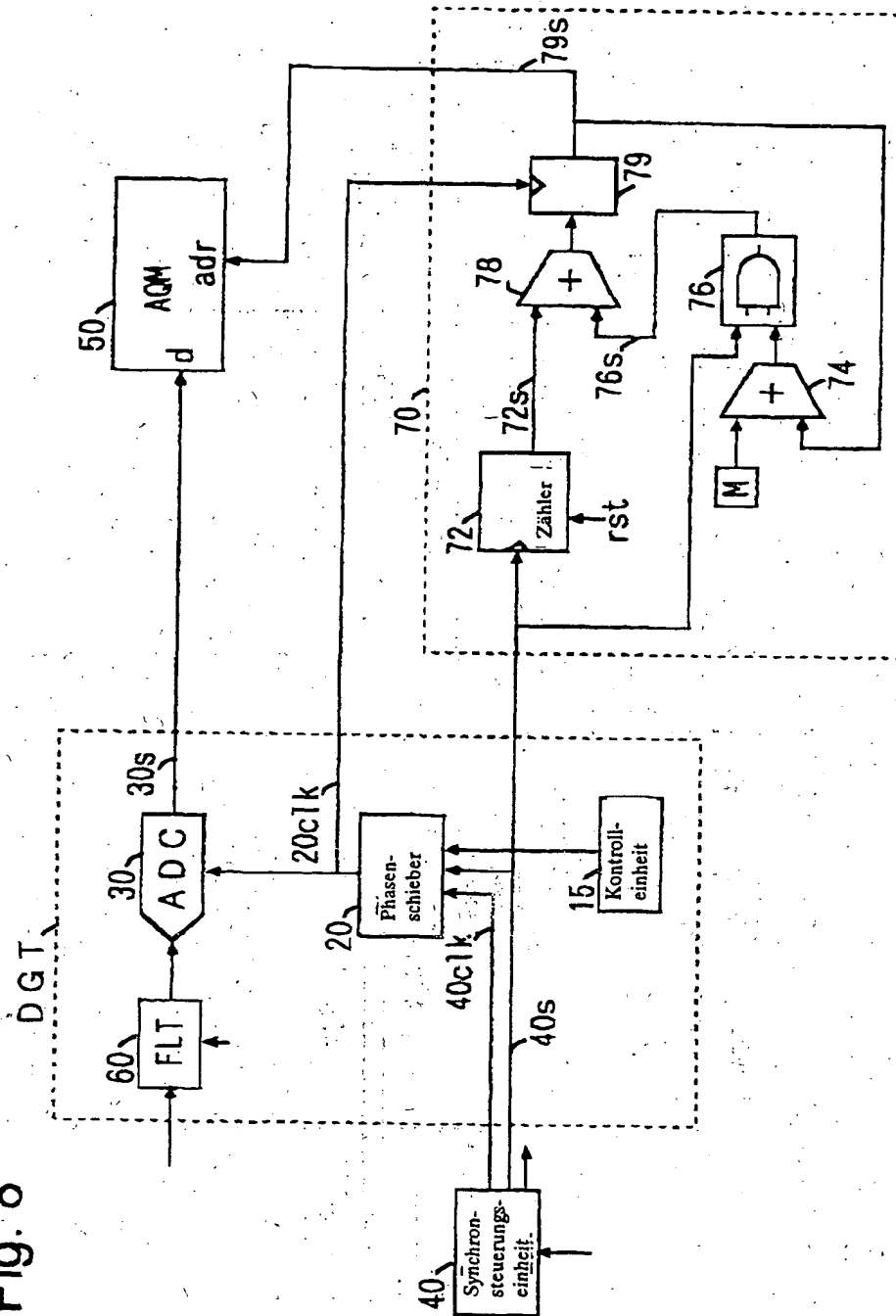
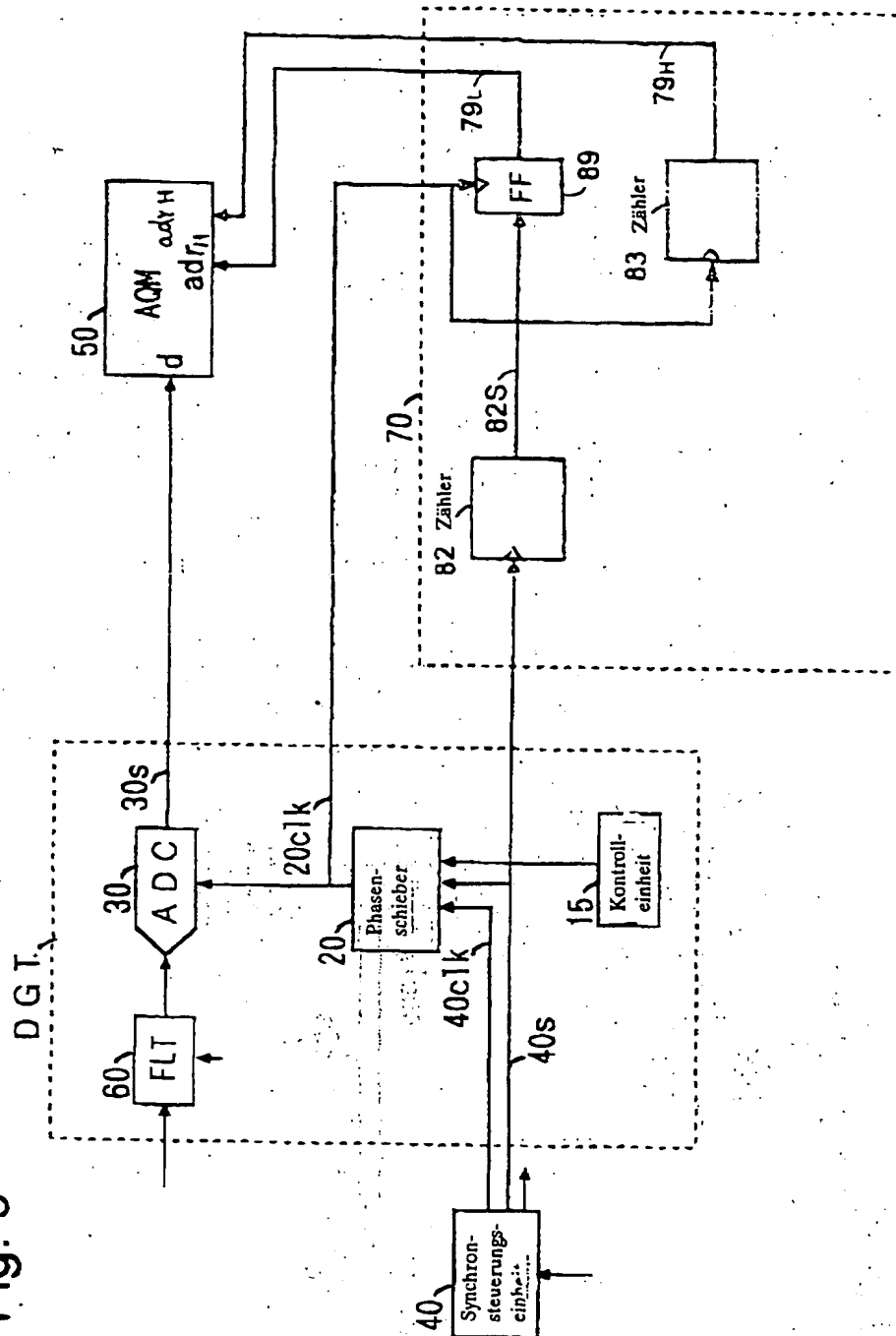


Fig. 9



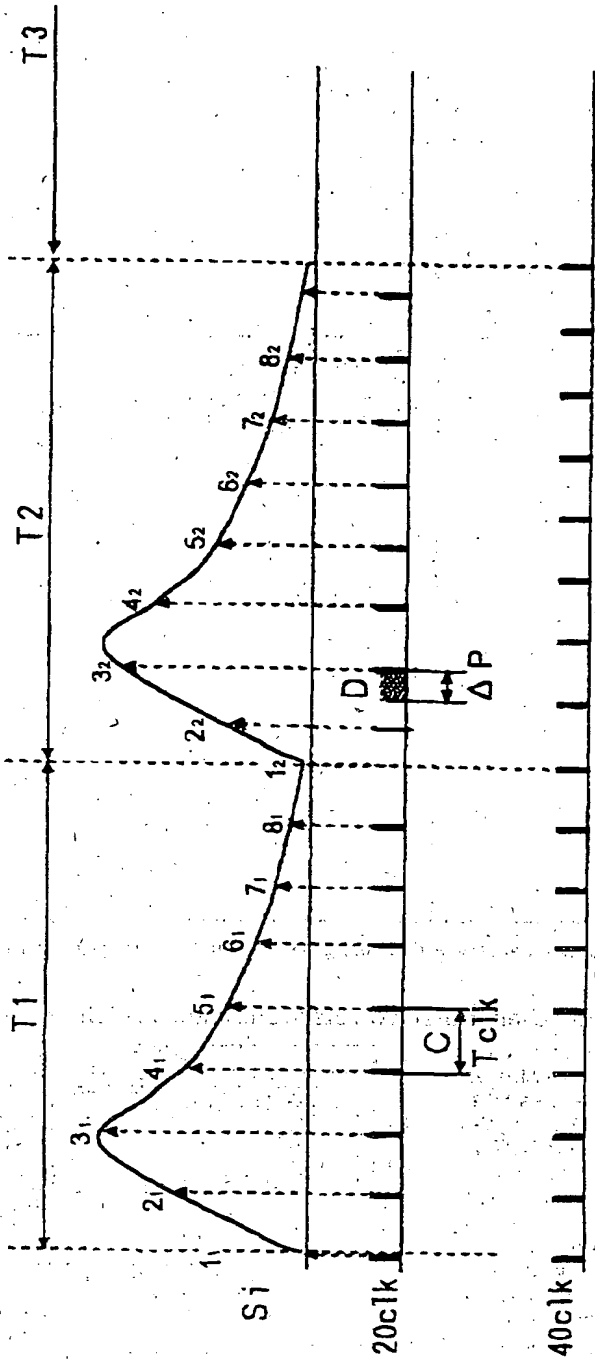


Fig. 10A

Fig. 10B

Fig. 10C

$$\begin{cases} M=2 \\ Q=0 \\ N=0 \end{cases} \quad \begin{matrix} 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 \\ N=0 & 1 & 2 & 3 & 4 & 5 & 6 & 7 \end{matrix} \quad \begin{matrix} 1 & 2 & 3 & 4 & 5 & 6 & 7 \\ N=0 & 1 & 2 & 3 & 4 & 5 & 6 & 7 \end{matrix}$$

Fig. 10D

$$\begin{matrix} AD=0 & 2 & 4 & 6 & 8 & 10 & 12 & 14 & 1 & 3 & 5 & 7 & 9 & 11 & 13 & 15 \\ AD=0 & 2 & 4 & 6 & 8 & 10 & 12 & 14 & 1 & 3 & 5 & 7 & 9 & 11 & 13 & 15 \end{matrix}$$

Fig. 10E